

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-86154

(P2020-86154A)

(43) 公開日 令和2年6月4日(2020.6.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
G09F 9/33 (2006.01)	G09F 9/30 360	5F142
G09F 9/00 (2006.01)	G09F 9/33	5G435
H01L 33/00 (2010.01)	G09F 9/00 351	
H01L 33/62 (2010.01)	G09F 9/00 338	
審査請求 未請求 請求項の数 18 O L (全 22 頁) 最終頁に続く		

(21) 出願番号 特願2018-221075 (P2018-221075)
 (22) 出願日 平成30年11月27日 (2018.11.27)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (72) 発明者 金谷 康弘
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 (72) 発明者 池田 雅延
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内
 Fターム(参考) 5C094 AA42 BA03 BA12 BA25 CA19
 CA24 DA13 DB01 EA04 EA07
 EA10 FB12 GB10

最終頁に続く

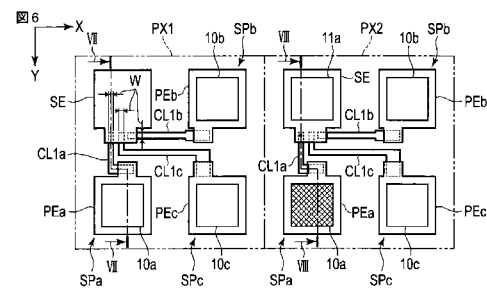
(54) 【発明の名称】 表示パネル、表示パネルの製造方法、及び基板

(57) 【要約】

【課題】 リペアを容易に行うことが可能な表示パネル、表示パネルの製造方法、及び基板を提供する。

【解決手段】 表示パネルは、基板と、第1絶縁層と、第2絶縁層と、それぞれ複数色の副画素SPを含む複数の画素PXと、を備える。各々の副画素SPは、駆動トランジスタと、上記駆動トランジスタに電気的に接続された導電層(CL1)と、上記導電層を介して上記駆動トランジスタから電流値が制御された信号が与えられる画素電極PEと、画素電極PEの上に実装され発光素子10と、を有する。各々の画素PXは、各々の副画素SPの導電層(CL1)に重ねられた実装電極SEを有する。複数の画素PXのうち第1画素PX1において、実装電極SEは、電氣的にフローティング状態にある。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上に設けられた第 1 絶縁層と、
前記第 1 絶縁層の上に設けられた第 2 絶縁層と、
前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素とを備え、
各々の前記副画素は、
前記第 1 絶縁層で覆われた駆動トランジスタと、
前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続された導電層と、
前記第 2 絶縁層の上に配置され、前記導電層に電氣的に接続され、前記導電層を介して前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、
前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、
各々の前記画素は、前記第 2 絶縁層の上に配置され前記画素電極に間隔を置いて位置し前記各々の副画素の前記導電層に重ねられた実装電極を有し、
前記複数の画素のうち第 1 画素において、前記実装電極は、電氣的にフローティング状態にある、
表示パネル。

【請求項 2】

前記複数の画素のうち第 2 画素は、前記実装電極の上に実装され前記実装電極に電氣的に接続された第 1 電極を含む第 1 色の追加発光素子をさらに有し、
前記第 2 画素において、
前記実装電極は、前記第 2 絶縁層の開口を通じて前記第 1 色の前記副画素の前記導電層に接し、前記駆動トランジスタから前記電流値が制御された信号が与えられ、
前記第 1 色の副画素の前記駆動トランジスタから前記電流値が制御された信号が前記第 1 色の副画素の前記画素電極及び前記実装電極に与えられた際、前記第 1 色の副画素の前記第 1 色の前記発光素子は発光せず、前記第 1 色の追加発光素子は発光する、
請求項 1 に記載の表示パネル。

【請求項 3】

前記第 2 画素において、
前記実装電極は、第 2 色の前記副画素の前記導電層と電氣的に絶縁され、第 3 色の前記副画素の前記導電層と電氣的に絶縁されている、
請求項 2 に記載の表示パネル。

【請求項 4】

前記導電層の融点は、前記実装電極の融点より高い、
請求項 1 に記載の表示パネル。

【請求項 5】

前記導電層は、モリブデン又はモリブデン合金で形成された金属層を含み、
前記実装電極及び前記画素電極は、アルミニウムで形成されている、
請求項 4 に記載の表示パネル。

【請求項 6】

前記実装電極のうち、各々の前記導電層と対向している領域は隆起している、
請求項 1 に記載の表示パネル。

【請求項 7】

前記第 2 絶縁層、前記複数の画素電極、及び前記複数の実装電極の上に位置し、前記第 2 絶縁層、前記複数の画素電極、及び前記複数の実装電極を覆い、各々の前記画素電極及び前記実装電極の一部を露出させた第 3 絶縁層をさらに備える、
請求項 2 に記載の表示パネル。

【請求項 8】

前記第 3 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に設けられ、前記複数の発光素子及び前記追加発光素子を露出させた第 4 絶縁層と、

前記第 4 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に配置され、前記複数の副画素で共用された共通電極をさらに備え、

前記複数の発光素子及び前記追加発光素子は、それぞれ、前記共通電極に電氣的に接続された第 2 電極を含んでいる、

請求項 7 に記載の表示パネル。

【請求項 9】

前記第 2 画素において、電流は、前記第 1 色の副画素の前記画素電極と前記共通電極との間を、前記第 1 色の前記発光素子を介して流れない、

請求項 8 に記載の表示パネル。

【請求項 10】

前記発光素子及び前記追加発光素子は、それぞれ、マイクロ発光ダイオードである、

請求項 2 に記載の表示パネル。

【請求項 11】

基板と、前記基板の上に設けられた第 1 絶縁層と、前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、各々の前記副画素は、前記第 1 絶縁層で覆われた駆動トランジスタと、前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続された導電層と、前記第 2 絶縁層の上に配置され、前記導電層に電氣的に接続され、前記導電層を介して前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、各々の前記画素は、前記第 2 絶縁層の上に配置され前記画素電極に間隔を置いて位置し前記各々の副画素の前記導電層に重ねられた実装電極を有するパネルを用意し、

前記パネルを用意した後、前記複数の発光素子に発光不良が生じているかどうか検査し、

前記複数の画素のうち第 1 画素の前記複数の発光素子に発光不良が生じていない場合、前記第 1 画素の前記実装電極を、電氣的にフローティング状態に維持し、

前記複数の画素のうち第 2 画素の第 1 色の前記副画素の前記第 1 色の前記発光素子に発光不良が生じている場合、

前記第 2 画素の前記第 1 色の発光素子にレーザ光を照射し、

前記第 2 画素の前記実装電極の上に前記第 1 色の追加発光素子を実装し、前記追加発光素子の第 1 電極を前記実装電極に電氣的に接続し、

前記第 2 画素において、前記実装電極のうち、前記第 1 色の前記副画素の前記導電層が重ねられた領域にレーザ光を照射し、前記実装電極を前記第 1 色の前記副画素の前記導電層に短絡させ、前記実装電極を前記第 1 色の前記副画素の前記駆動トランジスタに電氣的に接続する、

表示パネルの製造方法。

【請求項 12】

前記第 2 絶縁層、前記複数の画素電極、及び前記複数の実装電極の上に位置し、前記第 2 絶縁層、前記複数の画素電極、及び前記複数の実装電極を覆い、各々の前記画素電極及び前記実装電極の一部を露出させる開口を有する第 3 絶縁層を形成し、かつ、前記追加発光素子を実装し、かつ、前記第 2 画素において、前記実装電極を前記第 1 色の前記副画素の前記導電層に短絡させた後、

前記第 3 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に設けられ、前記複数の発光素子及び前記追加発光素子を露出させた第 4 絶縁層をさらに形成する、

請求項 11 に記載の表示パネルの製造方法。

【請求項 13】

前記第 4 絶縁層、前記複数の発光素子、及び前記追加発光素子の上に、前記複数の副画

10

20

30

40

50

素で共用される共通電極を形成し、

前記共通電極を、前記複数の発光素子及び前記追加発光素子のそれぞれの第2電極に電氣的に接続させる、

請求項12に記載の表示パネルの製造方法。

【請求項14】

1つの画素内において、第1色マイクロ発光ダイオードと、第2色マイクロ発光ダイオードと、第3色マイクロ発光ダイオードと、前記第1色マイクロ発光ダイオードが実装される第1電極と、前記第2色マイクロ発光ダイオードが実装される第2電極と、前記第3色マイクロ発光ダイオードが実装される第3電極と、第4電極と、第1無機絶縁膜と、前記第1電極と接続される第1配線と、前記第2電極と接続される第2配線と、前記第3電極と接続される第3配線と、を備え、

前記第1色マイクロ発光ダイオード、前記第2色マイクロ発光ダイオード、前記第3色マイクロ発光ダイオードは、それぞれ異なる色であり、

前記第4電極は電氣的にフローティング状態にあり、

前記第1無機絶縁膜の第1面は、前記第1電極、前記第2電極、前記第3電極、及び前記第4電極に接し、

前記第1無機絶縁膜の前記第1面と対向する第2面は、前記第1配線、前記第2配線、及び前記第3配線に接し、

前記第1配線、前記第2配線、及び前記第3配線は、それぞれ前記第4電極に向かって引き出され、

前記第4電極に向かって延びる前記第1配線の先端、前記第2配線の先端、及び前記第3配線の先端は、それぞれ前記第4電極に重畳し、

前記第4電極は、前記第1配線、前記第2配線、及び前記第3配線とそれぞれ前記第1無機絶縁膜によって絶縁されている、
基板。

【請求項15】

前記第4電極は、第1方向において前記第2電極に隣合い、前記第1方向に垂直な第2方向において前記第1電極に隣合い、

前記第3電極は、前記第1方向において前記第1電極に隣合い、前記第2方向において前記第2電極に隣合う、

請求項14に記載の基板。

【請求項16】

前記第1電極、前記第2電極、及び前記第3電極は、第1方向において間隔を置いて並び、

前記第4電極は、前記第1方向と垂直な第2方向において、前記第1から前記第3電極のうち少なくとも一つの電極と対向する、

請求項14に記載の基板。

【請求項17】

さらに、前記第1から前記第4電極を覆う第2無機絶縁膜を備え、

前記第2無機絶縁膜は、前記画素内において、第1開口部、第2開口部、第3開口部、及び第4開口部を有し、

前記第1色マイクロ発光ダイオードは、前記第1開口部を介して前記第1電極と接続し、

前記第2色マイクロ発光ダイオードは、前記第2開口部を介して前記第2電極と接続し、

前記第3色マイクロ発光ダイオードは、前記第3開口部を介して前記第3電極と接続し、

前記第4開口部は前記第4電極を露出し、

前記第4電極には前記第1色から前記第3色マイクロ発光ダイオードのいずれも接続されていない、

10

20

30

40

50

請求項 14 に記載の基板。

【請求項 18】

前記第 1 無機絶縁膜の前記第 1 面は、前記第 1 電極から前記第 4 電極のそれぞれが離れた位置において、前記第 2 無機絶縁膜と接している、
請求項 17 に記載の基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示パネル、表示パネルの製造方法、及び基板に関する。

【背景技術】

10

【0002】

表示パネルとして、自発光素子である発光ダイオード（LED：Light Emitting Diode）を用いた LED 表示パネルが知られている。近年では、より高精細な表示パネルとして、マイクロ LED と称される微小な発光ダイオードをアレイ基板に実装した表示パネル（以下、マイクロ LED 表示パネルと称する）が開発されている。

マイクロ LED ディスプレイは、従来の液晶ディスプレイや有機 EL ディスプレイと異なり、表示領域に、チップ状の多数のマイクロ LED が実装されて形成されるため、高精細化と大型化の両立が容易であり、次世代の表示パネルとして注目されている。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献 1】特開 2018 - 10309 号公報

【特許文献 2】特開 2018 - 41752 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態は、リペアを容易に行うことが可能な表示パネル、表示パネルの製造方法、及び基板を提供する。

【課題を解決するための手段】

【0005】

30

一実施形態に係る表示パネルは、

基板と、前記基板の上に設けられた第 1 絶縁層と、前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、

各々の前記副画素は、前記第 1 絶縁層で覆われた駆動トランジスタと、前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続された導電層と、前記第 2 絶縁層の上に配置され、前記導電層に電氣的に接続され、前記導電層を介して前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、

各々の前記画素は、前記第 2 絶縁層の上に配置され前記画素電極に間隔を置いて位置し
前記各々の副画素の前記導電層に重ねられた実装電極を有し、

40

前記複数の画素のうち第 1 画素において、前記実装電極は、電氣的にフローティング状態にある。

【0006】

また、一実施形態に係る表示パネルの製造方法は、

基板と、前記基板の上に設けられた第 1 絶縁層と、前記第 1 絶縁層の上に設けられた第 2 絶縁層と、前記基板の上に設けられ表示領域に位置しそれぞれ複数色の副画素を含む複数の画素と、を備え、各々の前記副画素は、前記第 1 絶縁層で覆われた駆動トランジスタと、前記第 1 絶縁層の上に配置され、前記駆動トランジスタに電氣的に接続された導電層と、前記第 2 絶縁層の上に配置され、前記導電層に電氣的に接続され、前記導電層を介し

50

て前記駆動トランジスタから電流値が制御された信号が与えられる画素電極と、前記画素電極の上に実装され、前記画素電極に電氣的に接続された第 1 電極を含む発光素子と、を有し、各々の前記画素は、前記第 2 絶縁層の上に配置され前記画素電極に間隔を置いて位置し前記各々の副画素の前記導電層に重ねられた実装電極を有するパネルを用意し、

前記パネルを用意した後、前記複数の発光素子に発光不良が生じているかどうか検査し、

前記複数の画素のうち第 1 画素の前記複数の発光素子に発光不良が生じていない場合、前記第 1 画素の前記実装電極を、電氣的にフローティング状態に維持し、

前記複数の画素のうち第 2 画素の第 1 色の前記副画素の前記第 1 色の前記発光素子に発光不良が生じている場合、前記第 2 画素の前記第 1 色の発光素子にレーザ光を照射し、前記第 2 画素の前記実装電極の上に前記第 1 色の追加発光素子を実装し、前記追加発光素子の第 1 電極を前記実装電極に電氣的に接続し、前記第 2 画素において、前記実装電極のうち、前記第 1 色の前記副画素の前記導電層が重ねられた領域にレーザ光を照射し、前記実装電極を前記第 1 色の前記副画素の前記導電層に短絡させ、前記実装電極を前記第 1 色の前記副画素の前記駆動トランジスタに電氣的に接続する。

【0007】

また、一実施形態に係る基板は、

1つの画素内において、第 1 色マイクロ発光ダイオードと、第 2 色マイクロ発光ダイオードと、第 3 色マイクロ発光ダイオードと、前記第 1 色マイクロ発光ダイオードが実装される第 1 電極と、前記第 2 色マイクロ発光ダイオードが実装される第 2 電極と、前記第 3 色マイクロ発光ダイオードが実装される第 3 電極と、第 4 電極と、第 1 無機絶縁膜と、前記第 1 電極と接続される第 1 配線と、前記第 2 電極と接続される第 2 配線と、前記第 3 電極と接続される第 3 配線と、を備え、前記第 1 色マイクロ発光ダイオード、前記第 2 色マイクロ発光ダイオード、前記第 3 色マイクロ発光ダイオードは、それぞれ異なる色であり、前記第 4 電極は電氣的にフローティング状態にあり、前記第 1 無機絶縁膜の第 1 面は、前記第 1 電極、前記第 2 電極、前記第 3 電極、及び前記第 4 電極に接し、前記第 1 無機絶縁膜の前記第 1 面と対向する第 2 面は、前記第 1 配線、前記第 2 配線、及び前記第 3 配線に接し、前記第 1 配線、前記第 2 配線、前記第 3 配線は、それぞれ前記第 4 電極に向かって引き出され、前記第 4 電極に向かって延びる前記第 1 配線の先端、前記第 2 配線の先端、及び前記第 3 配線の先端は、それぞれ前記第 4 電極に重畳し、前記第 4 電極は、前記第 1 配線、前記第 2 配線、及び前記第 3 配線とそれぞれ前記第 1 無機絶縁膜によって絶縁されている。

【図面の簡単な説明】

【0008】

【図 1】図 1 は、一実施形態に係る表示装置の構成を示す斜視図である。

【図 2】図 2 は、上記表示装置を示す回路図である。

【図 3】図 3 は、上記実施形態の副画素を示す等価回路図である。

【図 4】図 4 は、図 1 に示した表示パネルを示す部分断面図である。

【図 5】図 5 は、図 1 に示した画素のレイアウトを示す平面図であり、各種配線と、画素電極と、実装電極とを示す図である。

【図 6】図 6 は、上記実施形態の第 1 画素及び第 2 画素を示す平面図であり、画素電極と、実装電極と、発光素子と、第 1 導電層とを示す図である。

【図 7】図 7 は、図 6 の線 V I I - V I I に沿った表示パネルを示す断面図であり、第 1 画素を示す図である。

【図 8】図 8 は、図 6 の線 V I I I - V I I I に沿った表示パネルを示す断面図であり、第 2 画素を示す図である。

【図 9】図 9 は、上記実施形態に係る表示装置の製造方法を説明するための図であり、発光素子にレーザ光を照射している状態を示す図である。

【図 10】図 10 は、図 9 に続き、上記製造方法を説明するための図であり、実装電極の上に追加発光素子を実装した状態を示す図である。

10

20

30

40

50

【図 1 1】図 1 1 は、図 1 0 に続き、上記製造方法を説明するための図であり、実装電極にレーザ光を照射している状態を示す図である。

【図 1 2】図 1 2 は、上記実施形態の変形例に係る表示装置の第 1 画素及び第 2 画素を示す平面図であり、画素電極と、実装電極と、発光素子と、第 1 導電層とを示す図である。

【発明を実施するための形態】

【0009】

(一実施形態)

以下に、本発明の一実施形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

図 1 は、一実施形態に係る表示装置 1 の構成を示す斜視図である。図 1 は、本実施形態に係る表示装置 1 の構成を示す斜視図である。図 1 は、第 1 方向 X と、第 1 方向 X に垂直な第 2 方向 Y と、第 1 方向 X 及び第 2 方向 Y に垂直な第 3 方向 Z によって規定される三次元空間を示している。なお、第 1 方向 X 及び第 2 方向 Y は、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第 3 方向 Z を上と定義し、第 3 方向 Z と反対側の方向を下と定義する。「第 1 部材の上の第 2 部材」及び「第 1 部材の下第 2 部材」とした場合、第 2 部材は、第 1 部材に接していてもよく、第 1 部材から離れて位置していてもよい。

【0011】

以下、本実施形態においては、表示装置 1 が自発光素子であるマイクロ発光ダイオード（以下、マイクロ LED (Light Emitting Diode) と称する）を用いたマイクロ LED 表示装置である場合について主に説明する。

【0012】

図 1 に示すように、表示装置 1 は、表示パネル 2、第 1 回路基板 3、及び第 2 回路基板 4 等を備えている。なお、表示パネル 2 を基板と称する場合もある。

表示パネル 2 は、一例では矩形の形状を有している。図示した例では、表示パネル 2 の短辺 EX は、第 1 方向 X と平行であり、表示パネル 2 の長辺 EY は、第 2 方向 Y と平行である。第 3 方向 Z は、表示パネル 2 の厚さ方向に相当する。表示パネル 2 の主面は、第 1 方向 X と第 2 方向 Y とにより規定される X - Y 平面に平行である。表示パネル 2 は、表示領域 DA、及び表示領域 DA 以外の非表示領域 NDA を有している。非表示領域 NDA は、端子領域 MT を有している。図示した例では、非表示領域 NDA は、表示領域 DA を囲んでいる。

【0013】

表示領域 DA は、画像を表示する領域であり、例えばマトリクス状に配置された複数の画素 PX を備えている。

端子領域 MT は、表示パネル 2 の短辺 EX に沿って設けられ、表示パネル 2 を外部装置などと電氣的に接続するための端子を含んでいる。

【0014】

第 1 回路基板 3 は、端子領域 MT の上に実装され、表示パネル 2 と電氣的に接続されている。第 1 回路基板 3 は、例えばフレキシブルプリント回路基板である。第 1 回路基板 3 は、表示パネル 2 を駆動する駆動 IC チップ（以下、パネルドライバと表記）5 などを備えている。なお、図示した例では、パネルドライバ 5 は、第 1 回路基板 3 の上に実装されているが、第 1 回路基板 3 の下に実装されていてもよい。又は、パネルドライバ 5 は、第 1 回路基板 3 以外に実装されていてもよく、例えば第 2 回路基板 4 に実装されていてもよい。第 2 回路基板 4 は、例えばフレキシブルプリント回路基板である。第 2 回路基板 4 は

、第 1 回路基板 3 の例えば下方において第 1 回路基板 3 と接続されている。

【 0 0 1 5 】

上記したパネルドライバ 5 は、例えば第 2 回路基板 4 を介して制御基板（図示せず）と接続されている。パネルドライバ 5 は、例えば制御基板から出力される映像信号に基づいて複数の画素 P X を駆動することによって表示パネル 2 に画像を表示する制御を実行する。

【 0 0 1 6 】

なお、表示パネル 2 は、斜線を付して示す折り曲げ領域 B A を有していてもよい。折り曲げ領域 B A は、表示装置 1 が電子機器等の筐体に收容される際に折り曲げられる領域である。折り曲げ領域 B A は、非表示領域 N D A のうち端子領域 M T 側に位置している。折り曲げ領域 B A が折り曲げられた状態において、第 1 回路基板 3 及び第 2 回路基板 4 は、表示パネル 2 と対向するように、表示パネル 2 の下方に配置される。

10

【 0 0 1 7 】

図 2 は、表示装置 1 を示す回路図である。図 3 は、本実施形態の副画素 S P を示す等価回路図である。なお、図 2 において、各種の配線の全てについて図示していない。

図 2 及び図 3 に示すように、表示パネル 2 は、樹脂基板、ガラス基板等の光透過性を有する絶縁性の絶縁基板（基板）2 0、表示領域 D A にて絶縁基板 2 0 の上にマトリクス状に配列された複数の画素 P X、及び各種配線、走査線駆動回路 Y D R 1、Y D R 2、及び信号線駆動回路 X D R を備えている。

20

【 0 0 1 8 】

各種配線は、複数本の第 1 走査線 S g a と、複数本の第 2 走査線 S g b と、複数本の第 3 走査線 S g c と、複数本の第 4 走査線 S g d と、複数本の映像信号線 V L と、複数本の高電位電源線 S L a と、複数本のリセット配線 S g r と、複数本の初期化配線 S g i と、を有している。

【 0 0 1 9 】

本実施形態において、第 1 走査線 S g a、第 3 走査線 S g c、及び第 4 走査線 S g d は、走査線駆動回路 Y D R 1 に接続され、第 1 方向 X に延出して設けられている。第 2 走査線 S g b は、走査線駆動回路 Y D R 2 に接続され、第 1 方向 X に延出して設けられている。映像信号線 V L は、信号線駆動回路 X D R に接続され、第 2 方向 Y に延出して設けられている。高電位電源線 S L a、リセット配線 S g r、及び初期化配線 S g i は、第 2 方向 Y に延出して設けられている。表示パネル 2 は、高電位 P v d d に固定される高電位電源線 S L a だけでなく、低電位 P v s s に固定される低電位電源線 S L b も有している。高電位電源線 S L a は高電位電源に接続され、低電位電源線 S L b は低電位電源に接続されている。

30

【 0 0 2 0 】

走査線駆動回路 Y D R 1 は、第 1 走査線 S g a、第 3 走査線 S g c、及び第 4 走査線 S g d を駆動するように構成されている。走査線駆動回路 Y D R 2 は、第 2 走査線 S g b を駆動するように構成されている。信号線駆動回路 X D R は、映像信号線 V L を駆動するように構成されている。走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R は、非表示領域 N D A にて絶縁基板 2 0 の上に形成され、パネルドライバ 5 とともに駆動部 7 を構成している。

40

【 0 0 2 1 】

各々の画素 P X は、複数の副画素 S P を有している。各々の副画素 S P は、発光素子 1 0 と、発光素子 1 0 に駆動電流を与える画素回路と、を含んでいる。発光素子 1 0 は、例えば自己発光素子であり、本実施形態では、マイクロ発光ダイオード（以下、マイクロ L E D（Light Emitting Diode）と称する）である。本実施形態の表示装置 1 は、マイクロ L E D 表示装置である。

【 0 0 2 2 】

各副画素 S P の画素回路は、電圧信号からなる映像信号 V s i g に応じて発光素子 1 0 の発光を制御する電圧信号方式の画素回路であり、リセットスイッチ R S T、画素スイッ

50

チ S S T、初期化スイッチ I S T、出力スイッチ B C T、駆動トランジスタ D R T、保持容量 C s、及び補助容量 C a d を有している。保持容量 C s 及び補助容量 C a d は、キャパシタである。補助容量 C a d は発光電流量を調整するために設けられる素子であり、場合によっては不要となる場合もある。

【 0 0 2 3 】

リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T は、T F T（薄膜トランジスタ）により構成されている。本実施形態において、リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T は、同一導電型、例えば N チャネル型の T F T により構成されている。なお、リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T の一以上は、P チャネル型の T F T により構成されていてもよい。その場合、N チャネル型の T F T と P チャネル型の T F T を同時に形成してもよい。リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、及び出力スイッチ B C T は、スイッチとして機能すればよく、T F T で構成されていなくともよい。

10

【 0 0 2 4 】

本実施形態に係る表示装置 1 において、駆動トランジスタ D R T 及び各スイッチをそれぞれ構成した T F T は全て同一工程、同一層構造で形成され、半導体層に多結晶シリコンを用いたトップゲート構造の薄膜トランジスタである。なお、半導体層は、非晶質シリコン、酸化物半導体など、多結晶シリコン以外の半導体を利用してもよい。

20

【 0 0 2 5 】

リセットスイッチ R S T、画素スイッチ S S T、初期化スイッチ I S T、出力スイッチ B C T、及び駆動トランジスタ D R T は、それぞれ、第 1 端子、第 2 端子、及び制御端子を有している。本実施形態では、第 1 端子をソース電極、第 2 端子をドレイン電極、制御端子をゲート電極としている。

【 0 0 2 6 】

画素 P X の画素回路において、駆動トランジスタ D R T 及び出力スイッチ B C T は、高電位電源線 S L a と低電位電源線 S L b との間で発光素子 1 0 と直列に接続されている。高電位電源線 S L a（高電位 P v d d）は例えば 1 0 V の電位に設定され、低電位電源線 S L b（低電位 P v s s）は、例えば 1 . 5 V の電位に設定されている。

30

【 0 0 2 7 】

出力スイッチ B C T において、ドレイン電極は高電位電源線 S L a に接続され、ソース電極は駆動トランジスタ D R T のドレイン電極に接続され、ゲート電極は第 2 走査線 S g b に接続されている。これにより、出力スイッチ B C T は、第 2 走査線 S g b に与えられる制御信号 B G によりオン（導通状態）、オフ（非導通状態）制御される。出力スイッチ B C T は、制御信号 B G に応答して、発光素子 1 0 の発光時間を制御する。

【 0 0 2 8 】

駆動トランジスタ D R T において、ドレイン電極は出力スイッチ B C T のソース電極に接続され、ソース電極は発光素子 1 0 の一方の電極（ここでは陽極）に接続されている。発光素子 1 0 の他方の電極（ここでは陰極）は、低電位電源線 S L b に接続されている。駆動トランジスタ D R T は、映像信号 V s i g に応じた電流量の駆動電流を発光素子 1 0 に出力する。

40

【 0 0 2 9 】

画素スイッチ S S T において、ソース電極は映像信号線 V L に接続され、ドレイン電極は駆動トランジスタ D R T のゲート電極に接続され、ゲート電極は信号書き込み制御用ゲート配線として機能する第 3 走査線 S g c に接続されている。画素スイッチ S S T は、第 3 走査線 S g c から供給される制御信号 S G によりオン、オフ制御される。そして、画素スイッチ S S T は、制御信号 S G に応答して、画素回路と映像信号線 V L との接続、非接続を制御し、映像信号線 V L から映像信号 V s i g を画素回路に取り込む。

【 0 0 3 0 】

50

初期化スイッチ I S T において、ソース電極は初期化配線 S g i に接続され、ドレイン電極は駆動トランジスタ D R T のゲート電極に接続され、ゲート電極は第 1 走査線 S g a に接続されている。初期化スイッチ I S T は、第 1 走査線 S g a から供給される制御信号 I G によりオン、オフ制御される。そして、初期化スイッチ I S T は、制御信号 I G に応答して、画素回路と初期化配線 S g i との接続、非接続を制御する。画素回路と初期化配線 S g i とを初期化スイッチ I S T にて接続することにより、初期化配線 S g i から初期化電位（初期化電圧）V i n i を画素回路に取り込むことができる。

【 0 0 3 1 】

リセットスイッチ R S T は、駆動トランジスタ D R T のソース電極とリセット配線 S g r との間に接続されている。リセットスイッチ R S T のゲート電極はリセット制御用ゲート配線として機能する第 4 走査線 S g d に接続されている。上記のように、リセット配線 S g r は、リセット電源に接続され、定電位であるリセット電位 V r s t に固定される。リセットスイッチ R S T は、第 4 走査線 S g d を通して与えられる制御信号 R G に応じて、導通状態（オン）又は非導通状態（オフ）に切替えられる。リセットスイッチ R S T がオン状態に切替えられることにより、駆動トランジスタ D R T のソース電極の電位をリセット電位 V r s t にリセットすることができる。

10

【 0 0 3 2 】

保持容量 C s は、駆動トランジスタ D R T のゲート電極とソース電極との間に接続されている。補助容量 C a d は、駆動トランジスタ D R T のソース電極と定電位の配線としての高電位電源線 S L a との間に接続されている。

20

【 0 0 3 3 】

一方、図 2 に示すパネルドライバ 5 は、走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R を制御する。パネルドライバ 5 は外部から供給されるデジタル映像信号及び同期信号を受け取り、垂直走査タイミングを制御する垂直走査制御信号、および水平走査タイミングを制御する水平走査制御信号を同期信号に基づいて発生する。

【 0 0 3 4 】

そして、パネルドライバ 5 は、これら垂直走査制御信号及び水平走査制御信号をそれぞれ走査線駆動回路 Y D R 1、Y D R 2 及び信号線駆動回路 X D R に供給するとともに、水平及び垂直走査タイミングに同期してデジタル映像信号及び初期化信号を信号線駆動回路 X D R に供給する。

30

【 0 0 3 5 】

信号線駆動回路 X D R は、水平走査制御信号の制御により各水平走査期間において順次得られる映像信号をアナログ形式に変換し階調に応じた映像信号 V s i g を複数の映像信号線 V L に供給する。パネルドライバ 5 は、高電位電源線 S L a を高電位 P v d d に固定し、リセット配線 S g r をリセット電位 V r s t に固定し、初期化配線 S g i を初期化電位 V i n i に固定する。なお、高電位電源線 S L a の電位、リセット配線 S g r の電位、及び初期化配線 S g i の電位は、信号線駆動回路 X D R を介して設定されてもよい。

【 0 0 3 6 】

走査線駆動回路 Y D R 1、Y D R 2 には、パネルドライバ 5 よりスタートパルス信号 S T V、クロック信号 C K V などが与えられる。

40

走査線駆動回路 Y D R 1、Y D R 2 は、図示しないシフトレジスタ、出力バッファ等を含み、スタートパルス信号 S T V を順次次段のシフトレジスタに転送し、出力バッファを介して各行の副画素 S P に 4 種類の制御信号、すなわち、制御信号 I G、B G、S G、R G を供給する。これにより、第 1 走査線 S g a、第 2 走査線 S g b、第 3 走査線 S g c、及び第 4 走査線 S g d は、それぞれ制御信号 I G、B G、S G、R G により駆動される。

【 0 0 3 7 】

次に、図 4 を参照して、駆動トランジスタ D R T、リセットスイッチ R S T、画素電極 P E、実装電極 S E、発光素子 1 0、低電位電源線 S L b、共通電極 C E などについて説明する。図 4 は、図 1 に示した表示パネル 2 を示す部分断面図である。なお、図 4 では、表示パネル 2 を、表示面、すなわち光出射面が上方を向き、背面が下方を向くように描い

50

ている。

【 0 0 3 8 】

図 4 に示すように、表示パネル 2 は、絶縁基板 2 0 と、絶縁基板 2 0 の上に設けられた絶縁層 2 1 , 2 2 , 2 3 , 2 4 , 2 5 , 2 6 と、複数の画素 P X と、を備えている。複数の画素 P X は、絶縁基板 2 0 の上に設けられ、表示領域 D A に位置し、複数色の副画素 S P を含んでいる。

【 0 0 3 9 】

絶縁基板 2 0 としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。絶縁基板 2 0 の材質は、T F T を製造する際の処理温度に耐える材質であればよい。絶縁基板 2 0 が可撓性を有する樹脂基板である場合、表示装置 1 をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基板 2 0 にポリイミドなどを用いる場合、絶縁基板 2 0 を有機絶縁層又は樹脂層と称した方が適当な場合があり得る。

【 0 0 4 0 】

絶縁層 2 1 は、絶縁基板 2 0 上に設けられている。絶縁層 2 1 の上に、各種の T F T が形成されている。表示領域 D A において、絶縁層 2 1 の上に駆動トランジスタ D R T 、リセットスイッチ R S T などが形成され、非表示領域 N D A において、絶縁層 2 1 の上に走査線駆動回路 Y D R を構成する T F T などが形成されている。駆動トランジスタ D R T などの T F T は、半導体層 S C と、ゲート電極 G E と、第 1 電極 E 1 と、第 2 電極 E 2 と、を備えている。

【 0 0 4 1 】

半導体層 S C は、絶縁層 2 1 の上に配置されている。絶縁層 2 2 は、絶縁層 2 1 及び半導体層 S C の上に設けられている。ゲート電極 G E は、絶縁層 2 2 の上に配置され、半導体層 S C のチャネル領域と対向している。絶縁層 2 3 は、絶縁層 2 2 及びゲート電極 G E の上に設けられている。第 1 電極 E 1 及び第 2 電極 E 2 は、絶縁層 2 3 の上に配置されている。第 1 電極 E 1 及び第 2 電極 E 2 は、それぞれ絶縁層 2 2 及び絶縁層 2 3 に形成されたコンタクトホールを通り、対応する半導体層 S C に電氣的に接続されている。

【 0 0 4 2 】

本実施形態において、絶縁層 2 2 の上に、導電層 C L が形成されている。駆動トランジスタ D R T の第 1 電極 E 1 は、対応する半導体層 S C だけではなく、導電層 C L にも電氣的に接続されている。リセットスイッチ R S T の第 2 電極 E 2 は、対応する半導体層 S C だけではなく、導電層 C L にも電氣的に接続されている。そのため、駆動トランジスタ D R T 及びリセットスイッチ R S T は、導電層 C L を介して電氣的に接続されている。

非表示領域 N D A において、低電位電源線 S L b は、絶縁層 2 3 の上に配置されている。絶縁層 2 4 は、絶縁層 2 3 、第 1 電極 E 1 、第 2 電極 E 2 、及び低電位電源線 S L b の上に設けられている。絶縁層 2 4 は、第 1 絶縁層として機能している。

【 0 0 4 3 】

導電層としての第 1 導電層 C L 1 及び第 2 導電層 C L 2 は、絶縁層 2 4 の上に配置されている。第 1 導電層 C L 1 は、絶縁層 2 4 に形成されたコンタクトホールを通り第 1 電極 E 1 に電氣的に接続されている。第 2 導電層 C L 2 は、絶縁層 2 4 に形成されたコンタクトホールを通り第 2 電極 E 2 に電氣的に接続されている。

【 0 0 4 4 】

絶縁層 2 5 は、絶縁層 2 4 、第 1 導電層 C L 1 、及び第 2 導電層 C L 2 の上に設けられている。絶縁層 2 5 は、第 2 絶縁層として機能している。絶縁層 2 5 の厚みは、1 0 0 乃至 2 0 0 n m くらいである。画素電極 P E 及び実装電極 S E は、絶縁層 2 5 の上に配置されている。画素電極 P E は、絶縁層 2 5 に形成されたコンタクトホール C H を通り第 1 導電層 C L 1 に電氣的に接続されている。実装電極 S E は、第 1 導電層 C L 1 に重ねられている。実装電極 S E のうち、各々の導電層 C L 1 (各々の副画素の導電層) と対向している領域は隆起している。例えば、実装電極 S E は、5 0 乃至 1 0 0 n m くらい隆起してい

る。実装電極 S E は、電氣的にフローティング状態にある。

【0045】

ここで、絶縁層 2 1 , 2 2 , 2 3 , 2 4 , 2 5 , 2 6 は、無機絶縁材料又は有機絶縁材料で形成されている。本実施形態において、絶縁層 2 1 , 2 2 , 2 3 , 2 5 , 2 6 は、無機絶縁材料として、シリコン酸化物 (S i O 2) 、シリコン窒化物 (S i N) などの材料で形成されている。例えば、絶縁層 2 5 は、S i N で形成されている。絶縁層 2 4 は、有機絶縁材料として、例えば感光性アクリルで形成されている。

半導体層 S C は、ポリシリコンとして低温ポリシリコンで形成されている。但し、半導体層 S C は、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体で形成されていてもよい。

10

【0046】

ゲート電極 G E 及び導電層 C L は、同層に位置し、同一の導電材料として金属で形成されている。ゲート電極 G E 及び導電層 C L は、A l (アルミニウム) 、T i (チタン) 、銀 (A g) 、モリブデン (M o) 、タングステン (W) 、銅 (C u) 、クロム (C r) などの金属材料や、これらの金属材料を組み合わせた合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。例えば、ゲート電極 G E 及び導電層 C L は、M o W (モリブデン・タングステン) で形成されている。

【0047】

第 1 電極 E 1 、第 2 電極 E 2 、及び低電位電源線 S L b は、同層に位置し、同一の導電材料として金属で形成されている。第 1 電極 E 1 、第 2 電極 E 2 、及び低電位電源線 S L b も、上記金属材料や、上記合金などによって形成され、単層構造であってもよいし、多層構造であってもよい。例えば、第 1 電極 E 1 、第 2 電極 E 2 、及び低電位電源線 S L b は、それぞれ T A T で形成されている。上記 T A T とは、三層積層構造 (T i 系 / A l 系 / T i 系) を有し、T i 、T i を含む合金など T i を主成分とする金属材料からなる下層と、A l 、A l を含む合金など A l を主成分とする金属材料からなる中間層と、T i 、T i を含む合金など T i を主成分とする金属材料からなる上層と、を有している。

20

【0048】

ここではトップゲート型の T F T を例として説明しているが、T F T はボトムゲート型の T F T であってもよい。

駆動トランジスタ D R T などのスイッチは、絶縁層 2 4 で覆われている。

30

【0049】

第 1 導電層 C L 1 及び第 2 導電層 C L 2 は、同層に位置し、同一の導電材料として上記金属材料、上記合金、透明導電材料などで形成されている。第 1 導電層 C L 1 及び第 2 導電層 C L 2 は、単層構造であってもよいし、多層構造であってもよい。本実施形態において、第 1 導電層 C L 1 及び第 2 導電層 C L 2 は、それぞれ M A M で形成されている。上記 M A M とは、三層積層構造 (M o 系 / A l 系 / M o 系) を有し、M o 、M o を含む合金など M o を主成分とする金属材料からなる下層と、A l 、A l を含む合金など A l を主成分とする金属材料からなる中間層と、M o 、M o を含む合金など M o を主成分とする金属材料からなる上層と、を有している。そのため、第 1 導電層 C L 1 及び第 2 導電層 C L 2 は、それぞれ、モリブデン又はモリブデン合金で形成された金属層を含んでいる。

40

【0050】

画素電極 P E 及び実装電極 S E は、同層に位置し、同一の導電材料として金属で形成されている。画素電極 P E 及び実装電極 S E は、それぞれ、単一の導電層、三層積層構造、又は二層積層構造を有している。本実施形態において、画素電極 P E 及び実装電極 S E は、A l で形成されている。なお、画素電極 P E 及び実装電極 S E は、透明導電材料で形成されていてもよい。

第 1 導電層 C L 1 の融点は、実装電極 S E の融点より高い方が望ましい。

【0051】

各々の画素 P X は、実装電極 S E を有している。実装電極 S E は、絶縁層 2 5 の上に配置され、画素電極 P E に間隔を置いて位置している。画素電極 P E は、第 1 導電層 C L 1

50

に電氣的に接続され、第 1 導電層 C L 1 を介して駆動トランジスタ D R T から電流値が制御された信号が与えられる。

【 0 0 5 2 】

絶縁層 2 6 は、絶縁層 2 5、画素電極 P E、及び実装電極 S E の上に設けられている。絶縁層 2 6 は、第 3 絶縁層として機能している。図示しないが、絶縁層 2 6 は、複数の画素電極 P E 及び複数の実装電極 S E の上に位置し、複数の画素電極 P E 及び複数の実装電極 S E を覆い、複数の発光素子 1 0 を露出させている。絶縁層 2 6 は、画素電極 P E の表面の一部を露出させ画素電極 P E に発光素子 1 0 を実装するための開口と、実装電極 S E の表面の一部を露出させる開口と、を有している。

【 0 0 5 3 】

絶縁層 2 6 の上記開口の大きさは、発光素子 1 0 の実装工程における実装ずれ量等を考慮し、発光素子 1 0 よりも一回り大きめのサイズである。例えば、発光素子 1 0 が実質的に $10\ \mu\text{m} \times 10\ \mu\text{m}$ の実装面積である場合、上記開口は実質的に $20\ \mu\text{m} \times 20\ \mu\text{m}$ は確保されることが好ましい。

【 0 0 5 4 】

表示領域 D A において、画素電極 P E の上に発光素子 1 0 が実装されている。発光素子 1 0 は、第 1 電極としての陽極 A N と、第 2 電極としての陰極 C A と、光を放出する発光層 L I と、を有している。発光素子 1 0 は、第 1 色、第 2 色、及び第 3 色の発光色を有するものがそれぞれ用意されており、陽極 A N は、対応する画素電極 P E に電氣的に接続され、固定されている。本実施形態において、第 1 色は赤色 (R) であり、第 2 色は緑色 (G) であり、第 3 色は青色 (B) である。

【 0 0 5 5 】

発光素子 1 0 の陽極 A N と画素電極 P E との間の接合は、両者の間で良好な導通が確保でき、かつ、絶縁基板 2 0 から絶縁層 2 6 までの積層構造を破損しないものであれば特に限定されるものではない。例えば低温溶融のはんだ材料を用いたリフロー工程や、導電ペーストを介して発光素子 1 0 を画素電極 P E 上に載せた後に焼成結合する等の手法、あるいは画素電極 P E の表面と、発光素子 1 0 の陽極 A N とに同系材料を用い、超音波接合等の固相接合の手法を採用することができる。発光素子 1 0 は、画素電極 P E に電氣的に接続されている陽極 A N の反対側に陰極 C A を有している。

【 0 0 5 6 】

発光素子 1 0 が実装された後、絶縁層 2 5、画素電極 P E、実装電極 S E、及び絶縁層 2 6 の上に、素子絶縁層 3 1 が設けられている。素子絶縁層 3 1 は、第 4 絶縁層として機能している。素子絶縁層 3 1 は、発光素子 1 0 の間の空隙部に充填され、樹脂材料で形成されている。素子絶縁層 3 1 は、発光素子 1 0 のうち陰極 C A の表面を露出させている。

【 0 0 5 7 】

共通電極 C E は、少なくとも表示領域 D A に位置し、素子絶縁層 3 1 及び複数の発光素子 1 0 の上に配置され、複数の画素の発光素子 1 0 を覆っている。共通電極 C E は、複数の陰極 C A の共通電極 C E 側の表面と素子絶縁層 3 1 の上に配置され、複数の陰極 C A に接触し、複数の陰極 C A と電氣的に接続されている。共通電極 C E は、複数の副画素 S P で共用されている。

【 0 0 5 8 】

共通電極 C E は、非表示領域 N D A に延在し、非表示領域 N D A において、低電位電源線 S L b に電氣的に接続されている。共通電極 C E は、素子絶縁層 3 1、絶縁層 2 6、絶縁層 2 5、及び絶縁層 2 4 に形成されたコンタクトホールを通り低電位電源線 S L b にコンタクトしている。そのため、共通電極 C E は、低電位電源線 S L b の電位と同一の定電位に保持され、低電位電源線 S L b と全ての発光素子 1 0 の陰極 C A とを電氣的に接続している。

【 0 0 5 9 】

共通電極 C E は、発光素子 1 0 からの出射光を取り出すために、透明電極として形成する必要があり、透明導電材料として例えば I T O を用いて形成される。一方、発光素子 1

10

20

30

40

50

0の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で間隙を充填する必要はなく、樹脂材料は、陽極ANと、陽極ANから露出した画素電極PEの表面と、実装電極SEの表面とを少なくとも絶縁できればよい。この場合、発光素子10の陰極CAまで達しないような膜厚で素子絶縁層31を形成し、続けて上記共通電極CEを形成する。共通電極CEが形成される表面には発光素子10の実装に伴う凹凸の一部が残存しているが、共通電極CEを形成する材料が段切れすることなく連続的に覆うことができればよい。

【0060】

上記のように、表示パネル2は、絶縁基板20から共通電極CEまでの構造を有している。本実施形態に係る発光素子10を表示素子として用いる表示装置1は、例えば以上のように構成されている。なお、必要に応じて、共通電極CEの上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。

10

【0061】

次に、画素PXのレイアウトについて説明する。図5は、図1に示した画素PXのレイアウトを示す平面図であり、各種配線と、画素電極PEと、実装電極SEとを示す図である。

図5に示すように、各々の画素PXは、複数の副画素SPを有している。本実施形態において、各々の画素PXは、第1色の副画素SPa、第2色の副画素SPb、及び第3色の副画素SPcの3色の副画素SPを有している。副画素SPaは画素電極PEaを有し、副画素SPbは画素電極PEbを有し、副画素SPcは画素電極PEcを有している。

20

【0062】

画素電極PEaは、第2方向Yに実装電極SEと隣り合っている。画素電極PEbは、第1方向Xに実装電極SEと隣り合っている。画素電極PEcは、第1方向Xに画素電極PEaと隣り合い、第2方向Yに画素電極PEbと隣り合っている。平面視において、画素電極PEaのサイズは、画素電極PEb及び画素電極PEcの各々のサイズより大きい。実装電極SEのサイズは、画素電極PEaのサイズと実質的に同一であり、画素電極PEb及び画素電極PEcの各々のサイズより大きい。

【0063】

実装電極SEは、発光素子10を実装するための第1領域R1と、後述するリペアの際に実装電極SEと第1導電層CL1とを接続するための第2領域R2を有している。第2領域R2において、実装電極SEは、同一画素PXの3個の第1導電層CL1に重ねられている。画素電極PEは、第1領域R1と、第1導電層CL1と電氣的に接続するための第3領域R3と、を有している。

30

【0064】

次に、表示パネル2の複数の画素PXのうち、第1画素PX1及び第2画素PX2について説明する。図6は、本実施形態の第1画素PX1及び第2画素PX2を示す平面図であり、画素電極PEと、実装電極SEと、発光素子10と、第1導電層CL1とを示す図である。図7は、図6の線VII-VIIに沿った表示パネル2を示す断面図であり、第1画素PX1を示す図である。図8は、図6の線VIII-VIIIに沿った表示パネル2を示す断面図であり、第2画素PX2を示す図である。

40

図6に示すように、表示パネル2の複数の画素PXは、第1画素PX1、第2画素PX2などを含んでいる。

【0065】

図6及び図7に示すように、第1画素PX1において、画素電極PEaの上に第1色の発光素子10aが実装され、画素電極PEbの上に第2色の発光素子10bが実装され、画素電極PEcの上に第3色の発光素子10cが実装されている。第1画素PX1の発光素子10は、全て正常な発光素子である。そのため、第1画素PX1において、実装電極SEは、副画素SPaの第1導電層CL1a、副画素SPbの第1導電層CL1b、及び副画素SPcの第1導電層CL1cに電氣的に接続されていない。実装電極SEは、電氣的にフローティング状態にある。画素電極PEaは第1導電層CL1aに接続され、画素

50

電極 P E b は第 1 導電層 C L 1 b に接続され、画素電極 P E c は第 1 導電層 C L 1 c に接続されている。なお、第 1 導電層 C L 1 a を第 1 配線、第 1 導電層 C L 1 b を第 2 配線、第 1 導電層 C L 1 c を第 3 配線と、それぞれ称する場合がある。実装電極 S E の上に追加発光素子は実装されていない。なお、第 1 導電層 C L 1 c の幅 W は、 $2\mu\text{m}$ くらいである。

【0066】

絶縁層 2 5 は、画素電極 P E a 及び実装電極 S E に接する第 1 面 2 5 a と、第 1 面 2 5 a と対向し第 1 導電層 C L 1 a に接する第 2 面 2 5 b と、を有している。図示しないが、第 1 面 2 5 a は、画素電極 P E b 及び画素電極 P E c にも接している。図示しないが、第 2 面 2 5 b は、第 1 導電層 C L 1 b 及び第 1 導電層 C L 1 c にも接している。

10

第 1 導電層 C L 1 a、第 1 導電層 C L 1 b、及び第 1 導電層 C L 1 c は、それぞれ実装電極 S E に向かって引き出されている。実装電極 S E に向かって延びる第 1 導電層 C L 1 a の先端、第 1 導電層 C L 1 b の先端、及び第 1 導電層 C L 1 c の先端は、それぞれ実装電極 S E に重畳している。第 1 画素 P X 1 の実装電極 S E は、第 1 導電層 C L 1 a、第 1 導電層 C L 1 b、及び第 1 導電層 C L 1 c とそれぞれ絶縁層 2 5 によって絶縁されている。

絶縁層 2 6 は、第 1 画素 P X 1 内において、画素電極 P E a を露出する第 1 開口部 O P 1、及び実装電極 S E を露出する第 4 開口部 O P 4 を有している。発光素子 1 0 a は第 1 開口部 O P 1 を介して画素電極 P E a に接続されている。

図示しないが、絶縁層 2 6 は、第 1 画素 P X 1 内において、画素電極 P E b を露出する第 2 開口部、及び画素電極 P E c を露出する第 3 開口部をさらに有している。発光素子 1 0 b は上記第 2 開口部を介して画素電極 P E b に接続されている。発光素子 1 0 c は上記第 3 開口部を介して画素電極 P E c に接続されている。

20

絶縁層 2 5 の第 1 面 2 5 a は、画素電極 P E a、画素電極 P E b、画素電極 P E c、及び実装電極 S E のそれぞれが離れた位置において、絶縁層 2 6 に接している。

【0067】

図 6 及び図 8 に示すように、一方、第 2 画素 P X 2 において、画素電極 P E a の上に第 1 色の発光素子 1 0 a が実装され、画素電極 P E b の上に第 2 色の発光素子 1 0 b が実装され、画素電極 P E c の上に第 3 色の発光素子 1 0 c が実装されている。第 2 画素 P X 2 において、発光素子 1 0 b、1 0 c は正常な発光素子であるが、第 1 色の発光素子 1 0 a は正常な発光素子ではない。第 2 画素 P X 2 において、電流は、画素電極 P E a と共通電極 C E との間を、発光素子 1 0 a を介して流れない。なお、第 2 画素 P X 2 の発光素子 1 0 a にダメージが与えられ、発光素子 1 0 a に陰極 C A が存在しない場合もあり得る。

30

そのため、第 2 画素 P X 2 は、点灯しない発光素子 1 0 a と同一色の発光素子として、第 1 色の追加発光素子 1 1 a をさらに有している。第 2 画素 P X 2 に追加発光素子 1 1 a を設けることにより、第 2 画素 P X 2 にて発光色として第 1 色が不足する事態を回避することができる。

【0068】

追加発光素子 1 1 a は、マイクロ L E D である。追加発光素子 1 1 a は、第 1 電極としての陽極 A N と、第 2 電極としての陰極 C A と、光を放出する発光層 L I と、を有している。追加発光素子 1 1 a は第 2 画素 P X 2 の実装電極 S E の上に実装され、追加発光素子 1 1 a の陽極 A N は実装電極 S E に電氣的に接続されている。

40

【0069】

第 2 画素 P X 2 において、実装電極 S E は、絶縁層 2 5 の開口 H を通じて第 1 色の副画素 S P a の導電層 C L 1 a に接している。第 2 画素 P X 2 において、実装電極 S E は、第 1 導電層 C L 1 b と電氣的に絶縁され、第 1 導電層 C L 1 c と電氣的に絶縁されている。実装電極 S E は、第 1 色の副画素 S P a の駆動トランジスタ D R T に電氣的に接続され駆動トランジスタ D R T から電流値が制御された信号が与えられる。第 2 画素 P X 2 において、第 1 色の副画素 S P a の駆動トランジスタ D R T から電流値が制御された信号が第 1 色の副画素 S P a の画素電極 P E a 及び実装電極 S E に与えられた際、発光素子 1 0 a は

50

発光せず、追加発光素子 1 1 a は発光する。

本実施形態において、実装電極 S E を副画素 S P a の駆動トランジスタ D R T に電氣的に接続するため、第 2 画素 P X 2 において、実装電極 S E を第 1 導電層 C L 1 a に短絡させている。

【 0 0 7 0 】

上記のように第 2 画素 P X 2 の追加発光素子 1 1 a を考慮すると、素子絶縁層 3 1 は、さらに追加発光素子 1 1 a を露出させている。共通電極 C E は、さらに追加発光素子 1 1 a の上に配置されている。追加発光素子 1 1 a の陰極 C A は、さらに共通電極 C E に電氣的に接続されている。

【 0 0 7 1 】

なお、複数の画素 P X に、第 2 画素 P X 2 以外に、点灯しない発光素子 1 0 を有する画素 P X が存在している場合、第 2 画素 P X 2 と同様に構成されていけばよい。言い換えると、点灯しない発光素子 1 0 を有する画素 P X に、第 1 色、第 2 色、又は第 3 色の追加発光素子 1 1 が付加され、実装電極 S E を、点灯しない発光素子 1 0 を有する副画素 S P の第 1 導電層 C L 1 に接続させればよい。

本実施形態の表示装置 1 は、上記のように構成されている。

発光素子 1 0 がマイクロ発光ダイオードである場合、発光素子 1 0 a を第 1 色マイクロ発光ダイオード、発光素子 1 0 b を第 2 色マイクロ発光ダイオード、発光素子 1 0 c を第 3 色マイクロ発光ダイオードと、それぞれ称する場合がある。また、画素電極 P E a を第 1 電極、画素電極 P E b を第 2 電極、画素電極 P E c を第 3 電極、実装電極 S E を第 4 電極と、それぞれ称する場合がある。

【 0 0 7 2 】

次に、上記表示装置 1 の製造方法について説明する。ここでは、表示装置 1 の製造方法のうち、表示パネル 2 の製造方法について説明する。図 9 は、本実施形態に係る表示装置 1 の製造方法を説明するための図であり、発光素子 1 0 a にレーザ光を照射している状態を示す図である。図 1 0 は、図 9 に続き、上記製造方法を説明するための図であり、実装電極 S E の上に追加発光素子 1 1 a を実装した状態を示す図である。図 1 1 は、図 1 0 に続き、上記製造方法を説明するための図であり、実装電極 S E にレーザ光を照射している状態を示す図である。

【 0 0 7 3 】

図 9 に示すように、表示パネル 2 の製造方法が開始されると、まず、絶縁基板 2 0 から絶縁層 2 6 までの積層構造を有するパネル P N L を用意する。パネル P N L は、表示パネル 2 のベースとなる構造体である。パネル P N L は、絶縁基板 2 0、絶縁層 2 5、複数の副画素 S P を含む複数の画素 P X、及び絶縁層 2 6 などを備えている。各々の副画素 S P は、駆動トランジスタ D R T、第 1 導電層 C L 1、画素電極 P E、及び発光素子 1 0 を有している。この時点で、全ての画素 P X の実装電極 S E は、電氣的にフローティング状態にある。パネル P N L は、追加発光素子 1 1、素子絶縁層 3 1、及び共通電極 C E を有していない。

【 0 0 7 4 】

上記のようにパネル P N L を用意した後、複数の発光素子 1 0 に発光不良が生じているかどうか検査する。検査する際、各々の発光素子 1 0 の陰極 C A にプローブを当てるなどし、発光素子 1 0 を電氣的に検査する。発光素子 1 0 に発光不良が生じているかどうかの判断は、例えば目視にて行うことができるが、センサを利用して機械的に判断することも可能である。なお、発光素子 1 0 の発光不良とは、発光素子 1 0 が全く点灯しない場合だけでなく、発光素子 1 0 から放出される光の輝度レベルが閾値未満となる場合も含んでいる。以下、複数の画素 P X のうち第 1 画素 P X 1 及び第 2 画素 P X 2 に注目する。

【 0 0 7 5 】

複数の画素 P X のうち第 1 画素 P X 1 の複数の発光素子 1 0 に発光不良が生じていないと判断した場合、第 1 画素 P X 1 の実装電極 S E を、電氣的にフローティング状態に維持する（図 6）。

10

20

30

40

50

【 0 0 7 6 】

一方、複数の画素 P X のうち第 2 画素 P X 2 の発光素子 1 0 a に発光不良が生じている場合、第 2 画素 P X 2 の発光素子 1 0 a にレーザ光を照射し、発光素子 1 0 a にダメージを与え、発光素子 1 0 a を破損させる。その際、発光素子 1 0 a に陰極 C A が存在しなくなる場合があり得る。発光不良の発光素子 1 0 a を介して画素電極 P E a と共通電極 C E との間を電流が流れない方が望ましい。これにより、追加発光素子 1 1 a を流れる電流量の低下を抑制することができる。

【 0 0 7 7 】

図 1 0 に示すように、続いて、第 2 画素 P X 2 の実装電極 S E の上に第 1 色の追加発光素子 1 1 a を実装し、追加発光素子 1 1 a の陽極 A N を実装電極 S E に電氣的に接続する。

10

【 0 0 7 8 】

図 1 1 に示すように、次いで、第 2 画素 P X 2 において、実装電極 S E のうち、副画素 S P a の第 1 導電層 C L 1 a が重ねられた領域にレーザ光を照射する。上述したように、実装電極 S E の隆起のパターンに基づいて、レーザ光を照射する位置を決定することができる。これにより、実装電極 S E を副画素 S P a の第 1 導電層 C L 1 a に短絡させることができる。そのため、実装電極 S E を副画素 S P a の駆動トランジスタ D R T に電氣的に接続することができる。

【 0 0 7 9 】

なお、本実施形態の製造工程の順番と異なり、実装電極 S E にレーザ光を照射して実装電極 S E を第 1 導電層 C L 1 に短絡させた後、追加発光素子 1 1 a を実装してもよい。この場合、発光素子 1 0 a へのレーザ光の照射と、実装電極 S E へのレーザ光の照射とを連続して行うことができる。例えば、同一のレーザを用いてレーザ光の照射を行うことができるため、製造時間の短縮に寄与することができる。

20

【 0 0 8 0 】

図 8 に示すように、続いて、絶縁層 2 6、複数の発光素子 1 0、及び追加発光素子 1 1 の上に、素子絶縁層 3 1 を形成する。素子絶縁層 3 1 は、複数の発光素子 1 0、及び追加発光素子 1 1 を露出させている。次いで、素子絶縁層 3 1、複数の発光素子 1 0、及び追加発光素子 1 1 の上に、共通電極 C E を形成する。これにより、共通電極 C E は、複数の発光素子 1 0 及び追加発光素子 1 1 a のそれぞれの陰極 C A に電氣的に接続され、複数の画素 P X の複数の副画素 S P で共用される。これにより、表示パネル 2 の製造方法が終了する。

30

【 0 0 8 1 】

上記のように構成された一実施形態に係る表示装置 1 及び表示装置 1 の製造方法によれば、画素 P X は単個の実装電極 S E を備えている。そのため、各々の副画素 S P が単個の実装電極 S E を備えている場合と比較して画素 P X の高精細化に寄与することができる。発光不良の発光素子 1 0 は、表示パネル 2 から取り外してもよいが、画素電極 P E の上に載せたままにしてもよい。これにより、発光不良の発光素子 1 0 を表示パネル 2 から取り外す手間を省くことができる。

上記のことから、リペアを容易に行うことが可能な表示装置 1 及び表示装置 1 の製造方法を得ることができる。

40

【 0 0 8 2 】

(一実施形態の変形例)

次に、上記実施形態の変形例について説明する。図 1 2 は、上記実施形態の変形例に係る表示装置 1 の第 1 画素 P X 1 及び第 2 画素 P X 2 を示す平面図であり、画素電極 P E と、実装電極 S E と、発光素子 1 0 と、追加発光素子 1 1 a と、第 1 導電層 C L 1 とを示す図である。

【 0 0 8 3 】

図 1 2 に示すように、各々の画素 P X の画素電極 P E a , P E b , P E c (発光素子 1 0 a , 1 0 b , 1 0 c) は、第 1 方向 X に並べられ、第 2 方向 Y に延在し、ストライプ状

50

(縦ストライプ状)に配置されていてもよい。各々の画素 P X において、実装電極 S E は、画素電極 P E a , P E b , P E c のグループに対し、第 2 方向 Y に隣り合い、第 1 方向 X に延在している。実装電極 S E は、第 2 方向 Y において、画素電極 P E a , P E b , P E c のうち少なくとも一つの電極と対向している。

【 0 0 8 4 】

なお、画素電極 P E a , P E b , P E c 及び実装電極 S E の位置関係は、本変形例の位置関係に限定されるものではなく、種々変形可能である。画素電極 P E a , P E b , P E c のうちの任意の一の画素電極 P E と、実装電極 S E と、を第 1 導電層 C L 1 にて接続可能であれば、上記位置関係は、特に限定されるものではない。

上記のように構成された変形例に係る表示装置 1 及び表示装置 1 の製造方法においても、上記実施形態と同様の効果を得ることができる。

10

【 0 0 8 5 】

本発明の実施形態を説明したが、上記の実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。上記の新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。上記の実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 0 8 6 】

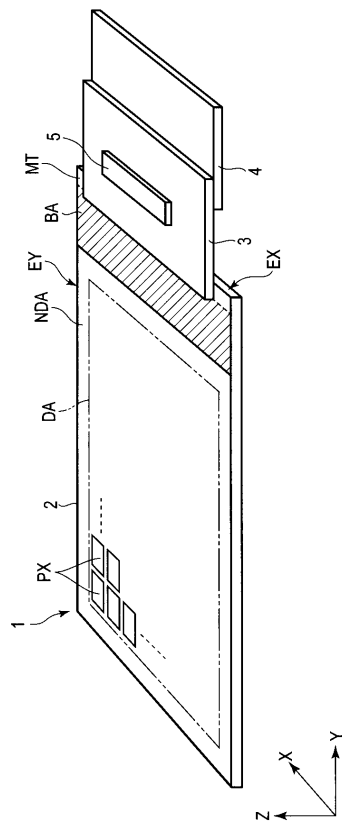
1 ... 表示装置、 2 ... 表示パネル、 P N L ... パネル、 2 0 ... 絶縁基板、 H ... 開口、
2 1 , 2 2 , 2 3 , 2 4 , 2 5 , 2 6 ... 絶縁層、 C H ... コンタクトホール、
3 1 ... 素子絶縁層、 S L a ... 高電位電源線、 S L b ... 低電位電源線、
P X , P X 1 , P X 2 ... 画素、 S P , S P a , S P b , S P c ... 副画素、
R S T ... リセットスイッチ、 S S T ... 画素スイッチ、 I S T ... 初期化スイッチ、
B C T ... 出力スイッチ、 D R T ... 駆動トランジスタ、 S C ... 半導体層、
G E ... ゲート電極、 E 1 ... 第 1 電極、 E 2 ... 第 2 電極、 C s ... 保持容量、
C a d ... 補助容量、 C L 1 ... 第 1 導電層、 P E , P E a , P E b , P E c ... 画素電極、
S E ... 実装電極、 1 0 , 1 0 a , 1 0 b , 1 0 c ... 発光素子、
1 1 , 1 1 a ... 追加発光素子、 A N ... 陽極、 C A ... 陰極、 L I ... 発光層、
C E ... 共通電極、 D A ... 表示領域、 N D A ... 非表示領域、 X ... 第 1 方向、 Y ... 第 2 方向、
Z ... 第 3 方向。

20

30

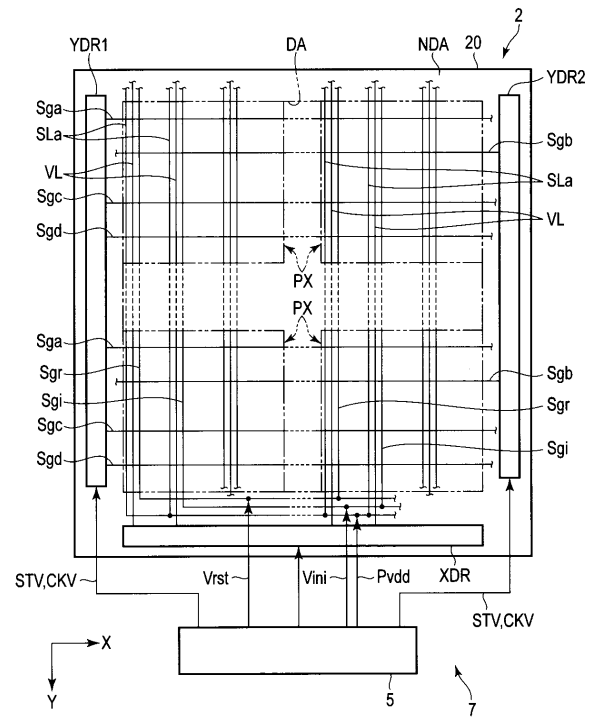
【図 1】

図 1



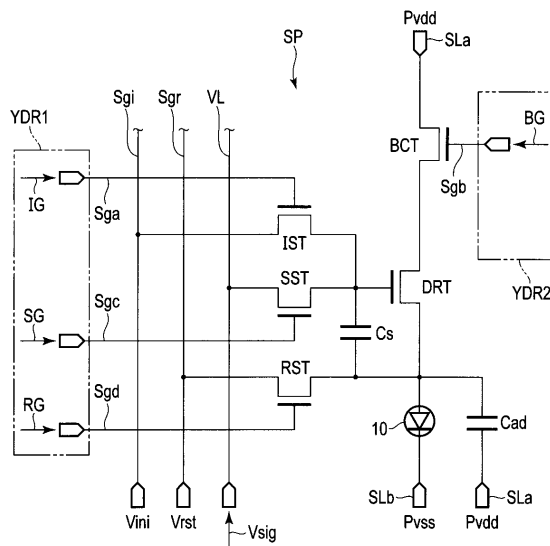
【図 2】

図 2



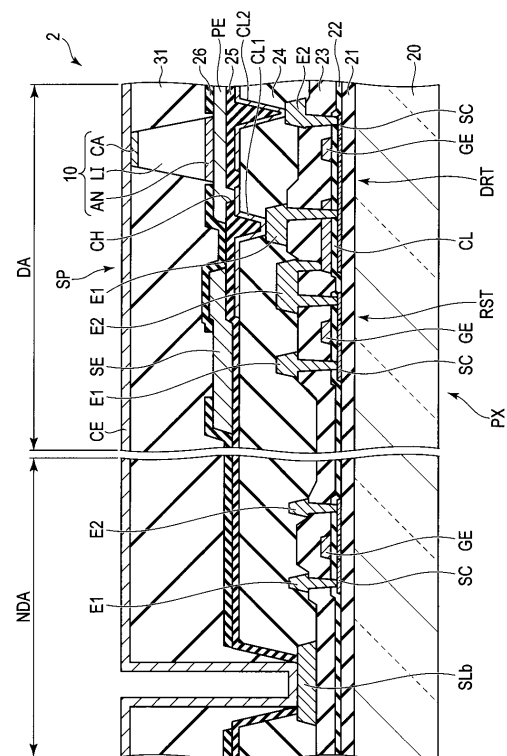
【図 3】

図 3



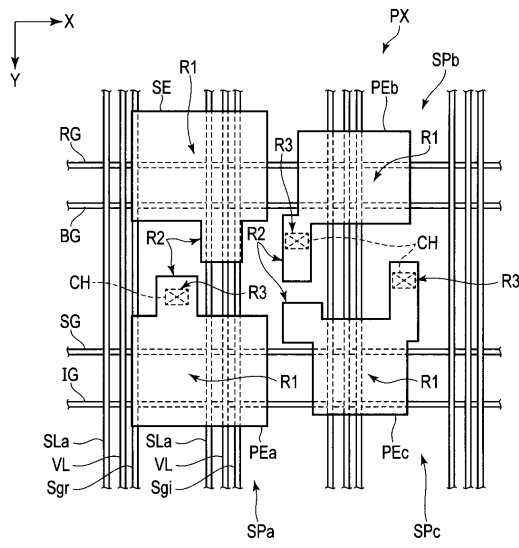
【図 4】

図 4



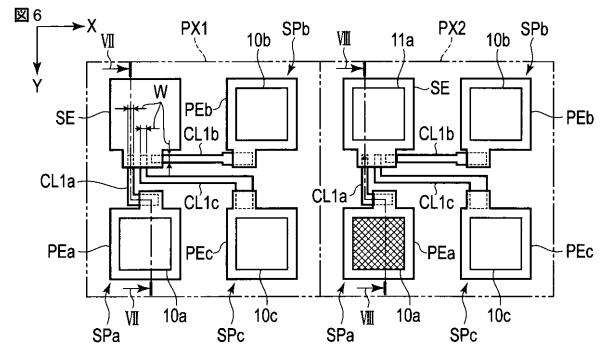
【図 5】

図 5



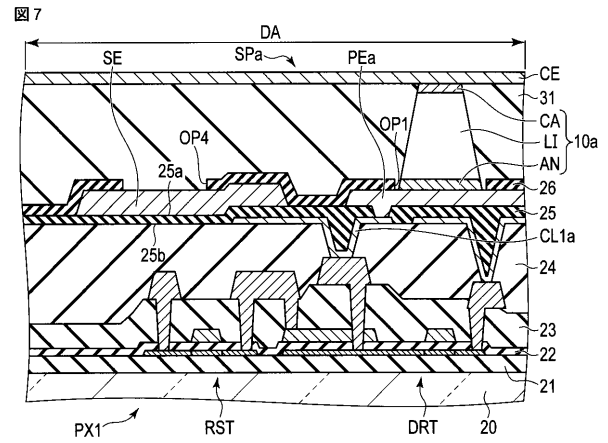
【図 6】

図 6



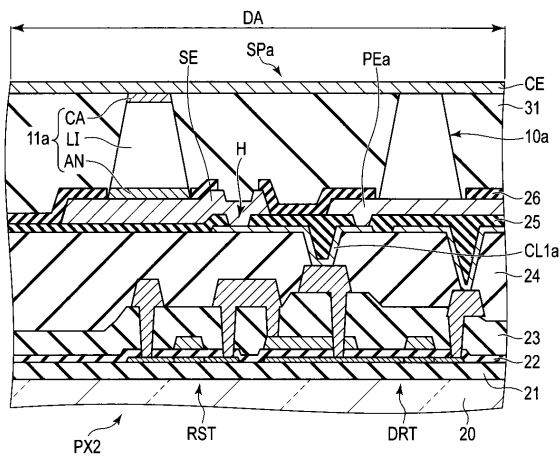
【図 7】

図 7



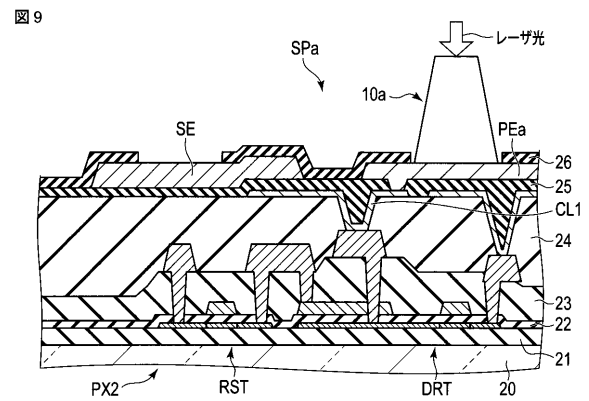
【図 8】

図 8



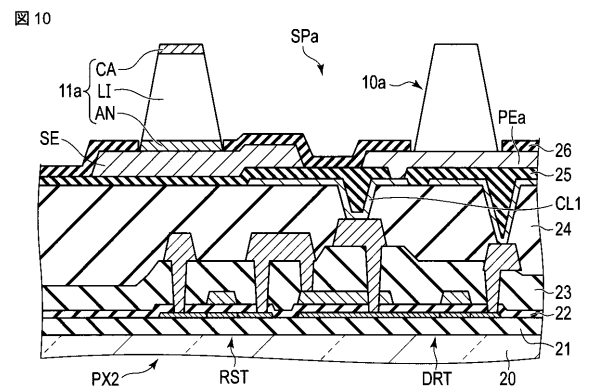
【図 9】

図 9

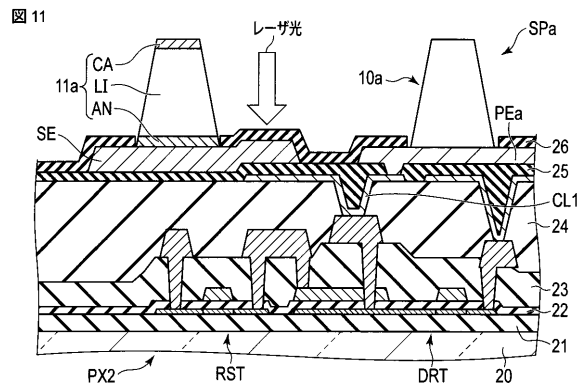


【図 10】

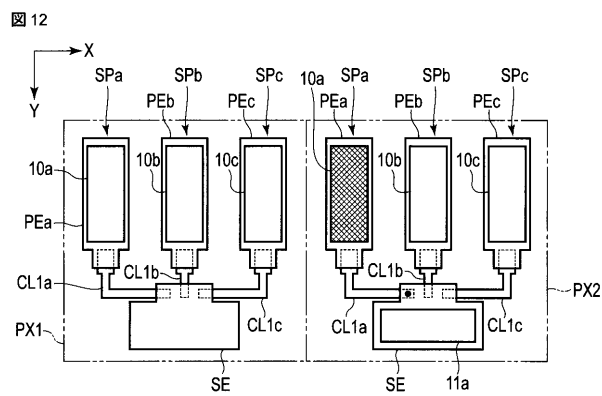
図 10



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 33/00	L
	H 0 1 L 33/62	

F ターム(参考)	5F142	AA81	AA82	CB14	CB23	CD02	DB24	EA02	EA34	FA30	FA34
		GA02									
	5G435	AA17	BB04	CC09	CC12	HH12	KK05	KK10			

专利名称(译)	显示面板，显示面板的制造方法以及基板		
公开(公告)号	JP2020086154A	公开(公告)日	2020-06-04
申请号	JP2018221075	申请日	2018-11-27
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	金谷康弘 池田雅延		
发明人	金谷 康弘 池田 雅延		
IPC分类号	G09F9/30 G09F9/33 G09F9/00 H01L33/00 H01L33/62		
CPC分类号	G09F9/00 G09F9/30 G09F9/33 H01L33/00 H01L33/62		
FI分类号	G09F9/30.338 G09F9/30.360 G09F9/33 G09F9/00.351 G09F9/00.338 H01L33/00.L H01L33/62		
F-TERM分类号	5C094/AA42 5C094/BA03 5C094/BA12 5C094/BA25 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA07 5C094/EA10 5C094/FB12 5C094/GB10 5F142/AA81 5F142/AA82 5F142/CB14 5F142/CB23 5F142/CD02 5F142/DB24 5F142/EA02 5F142/EA34 5F142/FA30 5F142/FA34 5F142/GA02 5G435/AA17 5G435/BB04 5G435/CC09 5G435/CC12 5G435/HH12 5G435/KK05 5G435/KK10		
外部链接	Espacenet		

摘要(译)

解决的问题:提供一种显示面板,一种制造该显示面板的方法以及一种能够容易地进行修复的基板。显示面板包括基板,第一绝缘层,第二绝缘层和多个像素PX,每个像素PX包括多种颜色的子像素SP。每个子像素SP具有驱动晶体管,电连接至驱动晶体管的导电层(CL1),以及像素电极,通过驱动层通过导电层向像素电极提供电流值被控制的信号。它具有PE和安装在像素电极PE上的发光元件10。每个像素PX具有覆盖在每个子像素SP的导电层(CL1)上的安装电极SE。在多个像素PX中的第一像素PX1中,安装电极SE处于电浮置状态。[选择图]图6

